

23.08.00

09/80605日

JP00/5629
 日本国特許庁
 PATENT OFFICE
 JAPANESE GOVERNMENT

REC'D 12 SEP 2000

WIPO

PCT

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
 いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
 with this Office.

出願年月日
 Date of Application:

1999年 9月21日

EKN

出願番号
 Application Number:

平成11年特許願第267168号

出願人
 Applicant(s):

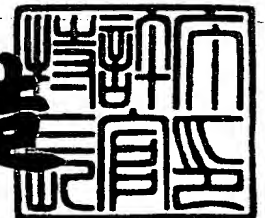
株式会社富士通ゼネラル

PRIORITY DOCUMENT
 SUBMITTED OR TRANSMITTED IN
 COMPLIANCE WITH
 RULE 17.1(a) OR (b)

2000年 7月21日

特許庁長官
 Commissioner,
 Patent Office

及川耕造



出証番号 出証特2000-3057941

【書類名】 特許願
【整理番号】 G9901102
【提出日】 平成11年 9月21日
【あて先】 特許庁長官 殿
【国際特許分類】 H03L 7/08

【発明者】

【住所又は居所】 神奈川県川崎市高津区末長 1 1 1 6 番地 株式会社富士
通ゼネラル内

【氏名】 木村 卓士

【発明者】

【住所又は居所】 神奈川県川崎市高津区末長 1 1 1 6 番地 株式会社富士
通ゼネラル内

【氏名】 中島 正道

【特許出願人】

【識別番号】 000006611

【住所又は居所】 神奈川県川崎市高津区末長 1 1 1 6 番地

【氏名又は名称】 株式会社 富士通ゼネラル

【代表者】 八木 紹夫

【代理人】

【識別番号】 100083194

【住所又は居所】 東京都新宿区四谷 3 丁目 1 3 番 7 号 三栄ビル 3 階

【弁理士】

【氏名又は名称】 長尾 常明

【電話番号】 03(3352)2421

【手数料の表示】

【予納台帳番号】 050681

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9103067

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 PLL 回路

【特許請求の範囲】

【請求項 1】

位相比較器、ループフィルタ、電圧制御発振器、および分周器を順次ループ接続した PLL 回路において、

PLL 動作が停止したことを検出する動作停止検出手段と、該動作停止検出手段が動作停止を検出すると前記電圧制御発振器をその発振周波数が低くなるよう制御する制御手段とを具備させたことを特徴とする PLL 回路。

【請求項 2】

前記動作停止検出手段は、前記分周器の出力信号の有無を検出する手段であることを特徴とする請求項 1 に記載の PLL 回路。

【請求項 3】

前記動作停止検出手段は、前記電圧制御発振器の制御電圧が所定値以上の周波数を発振させる値となったか否かを検出する手段であることを特徴とする請求項 1 に記載の PLL 回路。

【請求項 4】

前記動作停止検出手段は、前記電圧制御発振器の発振周波数が所定値を超える値となったか否かを検出する手段であることを特徴とする請求項 1 に記載の PLL 回路。

【請求項 5】

前記制御手段は、前記位相比較器の出力を前記電圧制御発振器の発振周波数が低下する値に切り替える手段であることを特徴とする請求項 1 乃至 4 に記載の PLL 回路。

【請求項 6】

前記制御手段は、前記位相比較器に入力する比較信号を前記電圧制御発振器の発振周波数が低下するよう切り替える手段であることを特徴とする請求項 1 乃至 4 に記載の PLL 回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、基準周波数信号と特定の関係をもった周波数信号を発生して出力するPLL回路に係り、特にPLL動作が停止した場合の対策を施す技術に関するものである。

【0002】

【従来の技術】

PLL回路は、図7に示すように、基準信号 f_r と比較信号 f_c の位相を排他的論理和回路等で構成した位相比較器101で比較し、その比較結果の信号をループフィルタ102で平滑して制御電圧 V_c とし、その制御電圧 V_c によって電圧制御発信器(VCO)103で発振する周波数を制御し、そこで得られる周波数信号 f_{ck} を出力周波数信号としている。この周波数信号 f_{ck} は分周器104に入力され、ここで周波数が $1/N$ されて位相比較器101に比較信号 f_c として入力する。

【0003】

このPLL回路では、 f_r を基準信号 f_r の周波数、 f_c を比較信号 f_c の周波数、 f_{ck} を発振周波数信号 f_{ck} の周波数とすると、同期状態では、

$$f_r = f_c, \quad f_c = f_{ck}/N$$

の関係式が満足され、比較信号 f_c が基準信号 f_r に常に追従するよう全体が動作する。

【0004】

ところで、アナログの映像信号をディジタル処理するとき、サンプリングクロックを生成するために上記したようなPLL回路が使用されるが、このサンプリングクロックの周波数は、映像信号の種類によって10MHz～100MHz以上の広い範囲に及ぶ。

【0005】

このため、電圧制御発振器103としては、その発振周波数の最大/最小周波数比が2倍以上、発振周波数は200MHz以上になる場合も要求され、それをカ

バーできるような広い周波数範囲の電圧制御発振器が使用される。

【0006】

ところが、このような広い周波数範囲の電圧制御発振器をもつPLL回路では、発振周波数が必要以上に高くなると、PLL回路を構成する一部の回路が追従できなくなり、PLL動作が停止してしまうことがある。このような事態は、例えば、基準信号 f_r が急激に変化（入力信号のon/off等）して同期安定状態に至るまでの期間に発振周波数が大きく変動したり、基準信号 f_r の周波数を大きく上昇させて発振周波数を上昇させたとき等に発生する。

【0007】

このような場合、分周回路104の分周動作が追従できなくなり、その出力信号、つまり比較信号 f_c が消滅するので、位相比較器101は電圧制御発振器103の発振周波数が低下したと判断してその発振周波数を高くするように働き、最大発振周波数にまで制御電圧 V_c を押し上げてしまう。このような状態に陥ると、それが一時的なものであっても、もはや自力で正常に復帰することは不可能となる。

【0008】

そこで従来では、電圧制御発振器103の発振周波数 f_{ck} がPLL回路を構成する他の回路の動作限界周波数を超えないようにするため、その電圧制御発振器103とループフィルタ102の間に図8に示すような電圧制限回路105を挿入して、制御電圧 V_c に上限を設けていた。

【0009】

この図8の電圧制限回路105では、定電圧ダイオードZDにより制御電圧 V_c の最大値を V_d に制限し、図9に示すように、電圧制御発振器103の発振周波数を最大値 f_{max} より充分低い f_d に制限している。この結果、電圧制御発振器103で発振する周波数 f_{ck} は、最低周波数 f_{min} ～上限周波数 f_d の範囲となり、上記した問題を回避することができる。

【0010】

【発明が解決しようとする課題】

しかしながら、このように電圧制御発振器103に入力する制御電圧 V_c を電

圧制限回路 1 0 5 により直接制限する手法では、電圧制限回路 1 0 5 の制限素子である定電圧ダイオード Z D の特性のバラツキ、制御電圧 V c に対する電圧制御発振器 1 0 3 での発振周波数 f_{ck} のバラツキを新たに補正しなければならず、また P L L 回路の動作周波数（目標周波数）から十分な余裕を持たせてその発振周波数の制限を行わなければならないという問題があった。

【 0 0 1 1 】

本発明は以上のような点に鑑みたもので、その目的は、電圧制御発振器が異常発振して P L L 回路が動作停止しても簡単に正常復帰できるようにすることである。

【課題を解決するための手段】

上記課題を解決するための第 1 の発明は、位相比較器、ループフィルタ、電圧制御発振器、および分周器を順次ループ接続した P L L 回路において、P L L 動作が停止したことを検出する動作停止検出手段と、該動作停止検出手段が動作停止を検出すると前記電圧制御発振器をその発振周波数が低くなるよう制御する制御手段とを具備させて構成した。

【 0 0 1 2 】

第 2 の発明は、第 1 の発明において、前記動作停止検出手段は、前記分周器の出力信号の有無を検出する手段であるよう構成した。

【 0 0 1 3 】

第 3 の発明は、第 1 の発明において、前記動作停止検出手段は、前記電圧制御発振器の制御電圧が所定値以上の周波数を発振させる値となったか否かを検出する手段であるよう構成した。

【 0 0 1 4 】

第 4 の発明は、第 1 の発明において、前記動作停止検出手段は、前記電圧制御発振器の発振周波数が所定値を超える値となったか否かを検出する手段であるよう構成した。

【 0 0 1 5 】

第 5 の発明は、第 1 乃至 4 の発明において、前記制御手段は、前記位相比較器の出力を前記電圧制御発振器の発振周波数が低下する値に切り替える手段である

よう構成した。

【0 0 1 6】

第6の発明は、第1乃至4の発明において、前記制御手段は、前記位相比較器に入力する比較信号を前記電圧制御発振器の発振周波数が低下するよう切り替える手段であるよう構成した。

【0 0 1 7】

【発明の実施の形態】

〔第1の実施形態〕

図1は本発明の第1の実施形態のPLL回路のブロック図である。1は基準信号 f_r と比較信号 f_c の位相を比較してその比較結果に応じた信号を出力する位相比較器、2は比較信号を平滑するループフィルタ、3は入力する制御電圧 V_c に比例した周波数の信号 f_{ck} を発振する電圧制御発振器、4は入力信号の周波数を $1/N$ に分周する分周器、5は比較信号 f_c の有無を検出する比較信号有無検出器である。

【0 0 1 8】

このように、本実施形態では、分周器4の出力側に比較信号有無検出器5を接続して、そこで比較信号 f_c が無いことが検出されると、位相比較器1から出力する信号が、電圧制御発振器3の発振周波数 f_{ck} を低い周波数に制御する信号となるようにした。

【0 0 1 9】

図2はこの比較信号有無検出器5の内部構成を示すブロック図である。51、52はDFF回路、53、54はインバータである。ここでは、DFF回路51のD端子にHレベル信号を、ck端子に独立して作成した検定信号（比較信号 f_c の $1/2$ 以下の周波数でデューティ比が50%） f_t を入力し、R（リセット）端子にインバータ54を介して比較信号 f_c を入力する。また、DFF回路52ではそのD端子にDFF回路51のQ1端子の信号を、ck端子に検定信号 f_t をインバータ53で反転して入力する。

【0 0 2 0】

図3はこの比較信号有無検出器5の動作のタイミングチャートである。DFF

回路 51 の Q1 端子は、検定信号 f_t が立ち上がる毎に D 端子の H レベルを検知して H レベルとなり、比較信号 f_c が立ち上がるとリセットされて L レベルとなる。DFF 回路 52 は ck 端子の電位が立ち上がる時の D 端子のデータを Q2 端子に出力する。

【0021】

よって、比較信号 f_c が所定の周期で $H \rightarrow L \rightarrow H \rightarrow \dots$ と変化しているときは、DFF 回路 51 の Q1 端子が検定信号 f_t の立ち上がりで H レベルになってもその後比較信号 f_c の立ち上がりでリセットされるので、その後に検定信号 f_t が立ち下がっても、DFF 回路 52 の Q2 端子は H レベルとなることはない。

【0022】

しかし、比較信号 f_c が無くなる、つまり H レベルに変化しなくなると DFF 回路 51 はリセットされなくなり、検定信号 f_t が立ち下がるときに DFF 回路 52 が Q1 端子の H レベル信号を検知して Q2 端子に H レベルの信号として出力し、以後これを継続する。なお、この後に比較信号 f_c が再度変化を開始すると、DFF 回路 52 の Q2 端子は L レベルに復帰する。

【0023】

図 4 は比較信号有無検出器 5 で検出した信号により制御される位相比較器 1 の内部構成を示すブロック図である。11 は排他的論理和ゲート等で構成される位相比較部、12 はスリーステートバッファ、13 はオアゲート、14 はスイッチ回路である。位相比較部 11 は、比較信号 f_c が基準信号 f_r より位相が進んでいるときは出力端子 11a を L レベルにし、反対に遅れているときは H レベルにし、位相比較時以外では不定となる。また、この位相比較部 11 の制御端子 11b は、比較信号 f_c と基準信号 f_r に位相差がある時は H レベルに、それ以外では L レベルになる。

【0024】

ここでは、オアゲート 13 で位相比較部 11 の制御端子 11b から出力される制御信号と比較信号有無検出器 5 で検出した検出信号 V_a の論理和を取り、バッファ 12 の制御端子に送る。また、このバッファ 12 の入力側に位相比較部 11 の出力端子 11a の信号をスイッチ回路 14 を介して入力させる。また、このス

イッチ回路 1 4 については、検出信号 V_a が H レベルになると接地側 (L レベル) に切り替わる。

【 0 0 2 5 】

よって、比較信号有無検出器 5 の検出信号 V_a が信号有り、つまり L レベルのときは、バッファ 1 2 は位相比較部 1 1 の制御端子 1 1 b の信号に従って制御される。~~すなわち、比較信号 f_c と基準信号 f_r に位相ずれがある期間は制御端子 1 1 b が H レベルとなるので、バッファ 1 2 は ON して入出力間を導通させ、位相比較部 1 1 の出力端子 1 1 a の信号がスイッチ回路 1 4 を経由してそのまま出力し、通常の動作をする。位相ずれがないとき (PLL ロック時) は、制御端子 1 1 b の信号が L レベルとなり、バッファ 1 2 の出力はハイインピーダンスとなるが、後段のループフィルタ 2 で保持されている信号によって、電圧制御発振器 3 は一定の周波数信号を発振する。~~

【 0 0 2 6 】

一方、比較信号有無検出器 5 の検出信号 V_a が信号無し、つまり H レベルときは、スイッチ回路 1 4 の出力が L レベルとなり、またバッファ 1 2 は ON して入出力間を導通させるので、スイッチ回路 1 4 から出力する L レベルの信号をそのまま出力する。よって、ループフィルタ 2 には L レベルの信号が入力して、電圧制御発振器 4 に入力する制御電圧 V_c が低くなり、そこで発振する周波数が低くなる。

【 0 0 2 7 】

図 5 は電圧制御発振器 3 の動作特性を示す図である。 f_o は周波数信号 f_{ck} の目的周波数、 f_{max} は発振上限周波数、 f_{min} は発振下限周波数、 f_{limit} は分周器 4 が動作限界となる入力周波数である。発振周波数 f_{ck} がこの動作限界周波数 f_{limit} を超えると、比較信号 f_c が消滅するので、前記したように位相比較器 1 の出力信号が L レベルに制御され電圧制御発振器 3 の発振周波数が低い周波数に制御される。このようにして発振周波数 f_{ck} が低下して動作限界周波数 f_{limit} を下回ると、分周器 4 が動作を再開して PLL 回路が本来の動作に戻り、その発振周波数 f_{ck} が目的の周波数 f_o に落ち着くようになる。

【 0 0 2 8 】

このように本実施形態では、電圧制御発振器 3 が異常発振して分周器 4 の動作が停止しても、これが検知されて電圧制御発振器 3 がその発振周波数を低下する方向に制御されるので、直ちに正常に復帰されるようになる。

【0029】

[第 2 の実施形態]

図 6 は第 2 の実施形態の PLL 回路の構成を示すブロック図である。ここでは、分周器 4 と位相比較器 1 との間にスイッチ回路 6 を接続して、常時はそのスイッチ回路 6 により分周器 4 と位相比較器 1 が接続されるように制御しておいて、比較信号有無検出器 5 で比較信号無しが検出されたとき、このスイッチ回路 6 を制御して、位相比較器 1 に入力する比較信号 f_c として、疑似パルス発生器 7 からの疑似パルスが入力するように構成した。

【0030】

この疑似パルスとしては、正常動作時に分周器 4 から出力する周波数信号の周波数よりも高い周波数の信号であればよい。このように本実施形態でも、電圧制御発振器 3 が異常発振して分周器 4 の動作が停止したとき、直ちに正常に復帰させることができる。

【0031】

[その他の実施形態]

なお、以上の実施形態では比較信号有無検出器 5 の検出信号 V_a により位相比較器 1 の出力信号を強制的に特別な信号（L レベル信号）にしたり、その位相比較器 1 に比較信号として特別な疑似パルスが入力するようにしたが、これらに限られるものではない。例えば、比較信号有無検出器 5 の検出信号 V_a により、電圧制御発振器 3 の制御電圧 V_c を直接制御して、その発振周波数が特定の低い周波数になるよう制御してもよい。このときの該特定の低い周波数には特別の精度は要求されない。

【0032】

また、以上では PLL 回路の動作停止状態を分周器 4 の出力信号の有無により判定していたが、電圧制御発振器 3 の制御電圧 V_a が所定レベル以下になったか否かを別に設けた電圧比較器により検出したり、電圧制御発振器 3 の発振周波数

f_{ck} が所定値以上の周波数になったか否かを検出して、判定してもよい。後者の場合、周波数 f_{ck} の信号を周波数／電圧変換器で電圧信号に変換し、その電圧信号を電圧比較器により所定値と比較すればよい。

【 0 0 3 3 】

【発明の効果】

以上から本発明によれば、電圧制御発振器の発振周波数が所定値を超えてP-L回路が動作停止したとき、簡単な構成により速やかに正常に復帰させることができるという利点がある。

【図面の簡単な説明】

【図 1】 本発明の第 1 の実施形態の P L L回路のブロック図である。

【図 2】 比較信号有無検出器のブロック図である。

【図 3】 比較信号有無検出器の動作のタイミングチャートである。

【図 4】 位相比較器のブロック図である。

【図 5】 異常発振時の電圧制御発振器の強制復帰の動作特性図である。

【図 6】 本発明の第 2 の実施形態の P L L回路のブロック図である。

【図 7】 従来一般的な P L L回路のブロック図である。

【図 8】 電圧制限回路の回路図である。

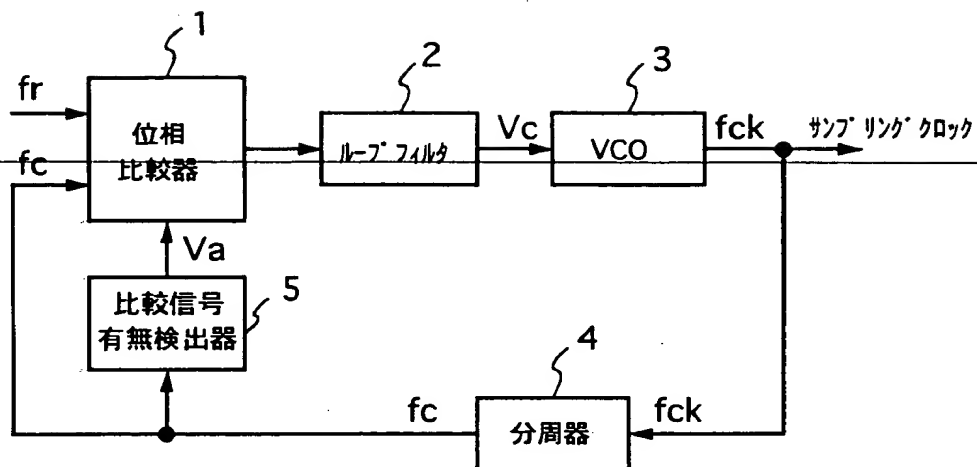
【図 9】 電圧制御発振器の制御電圧に対する発振周波数の特性図である。

【符号の説明】

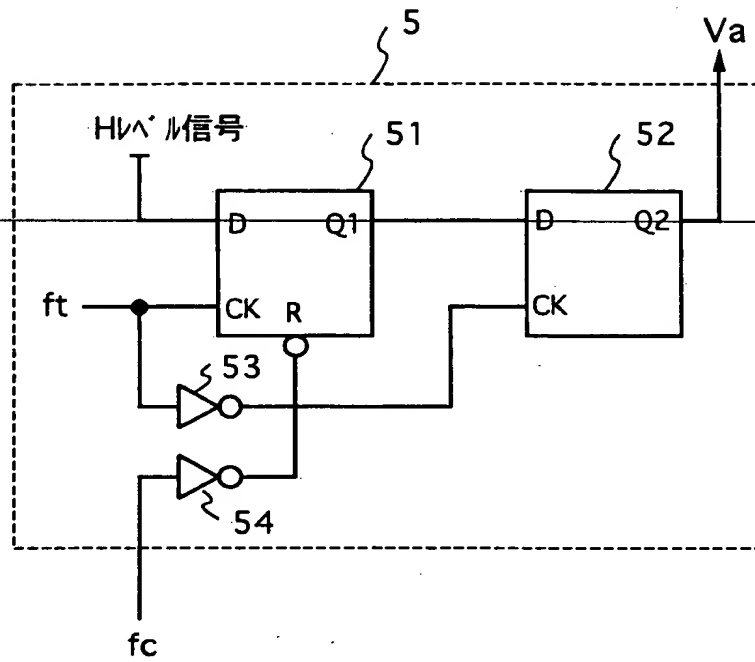
1 : 位相比較器、 2 : ループフィルタ、 3 : 電圧制御発振器 (VCO)、 4 : 分周器、 5 : 比較信号有無検出器、 6 : スイッチ回路、 7 : 疑似パルス発生器。

【書類名】 図面

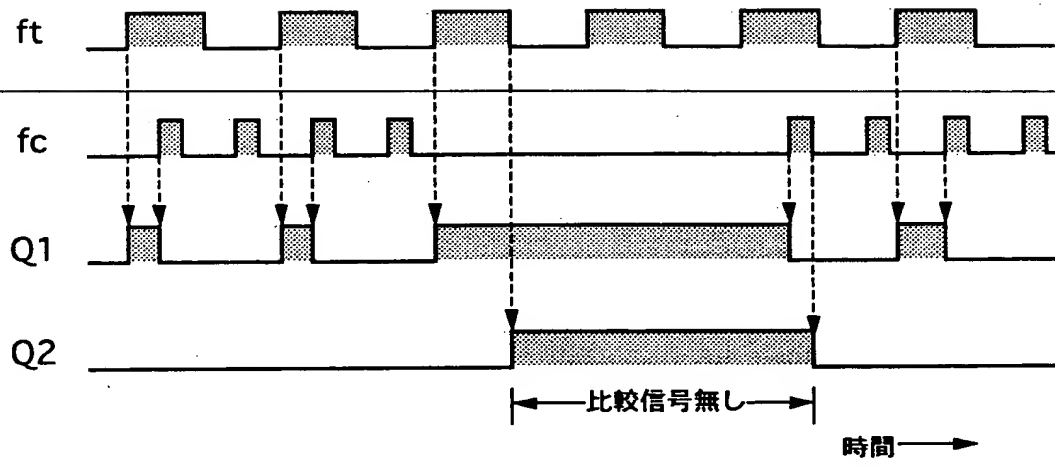
【図 1】



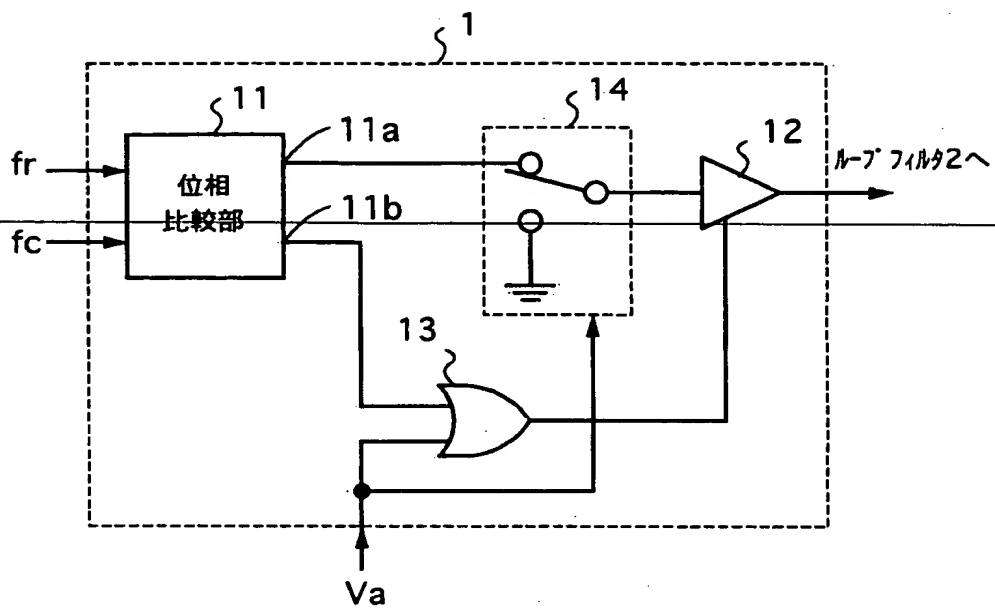
【図 2】



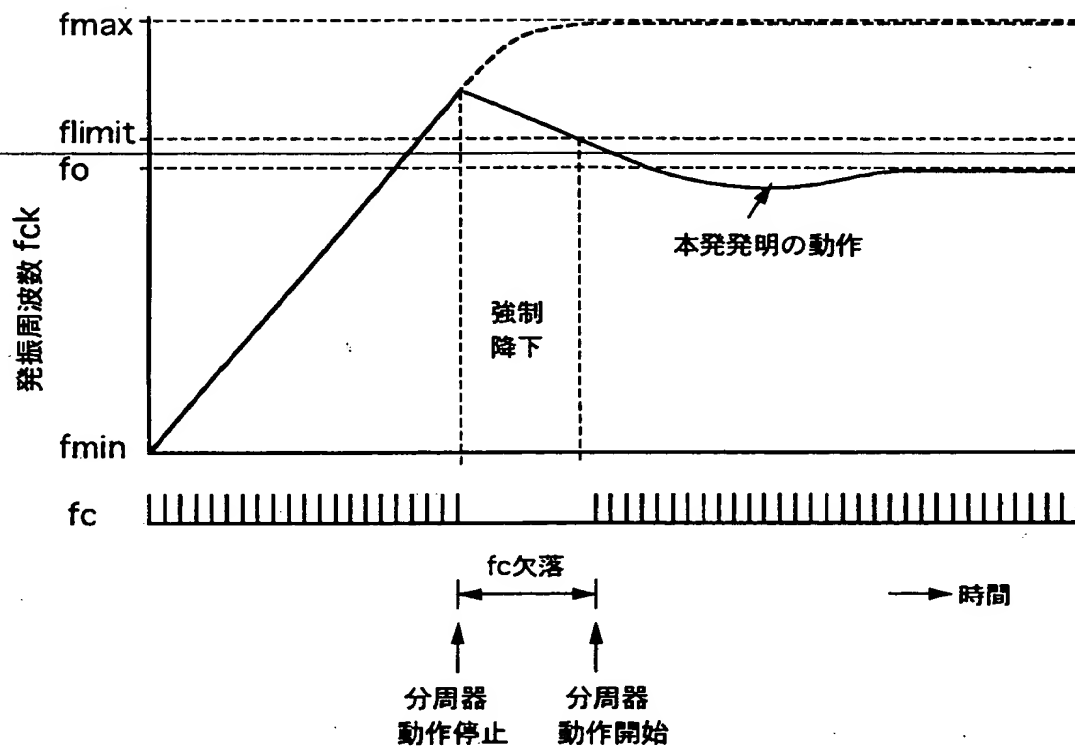
【図 3】



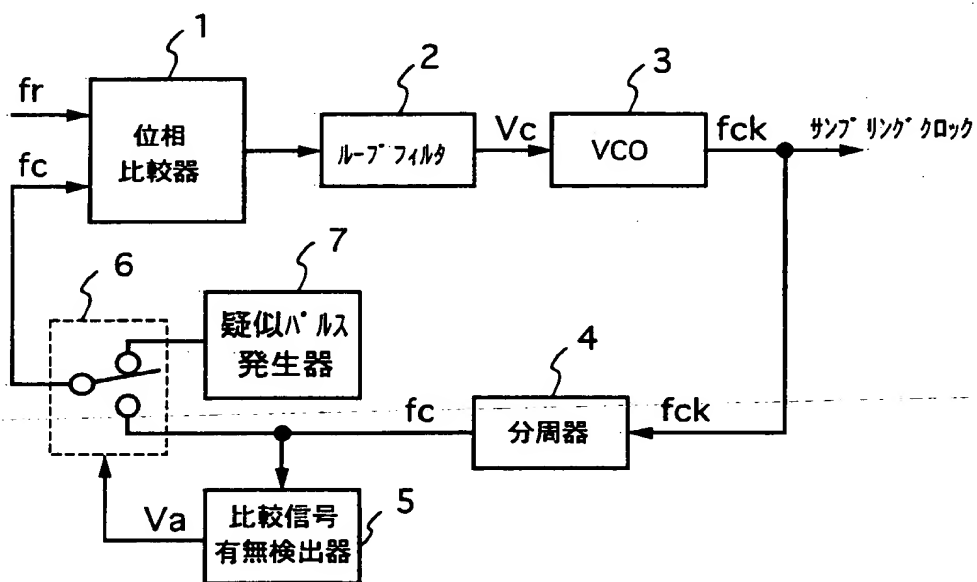
【図 4】



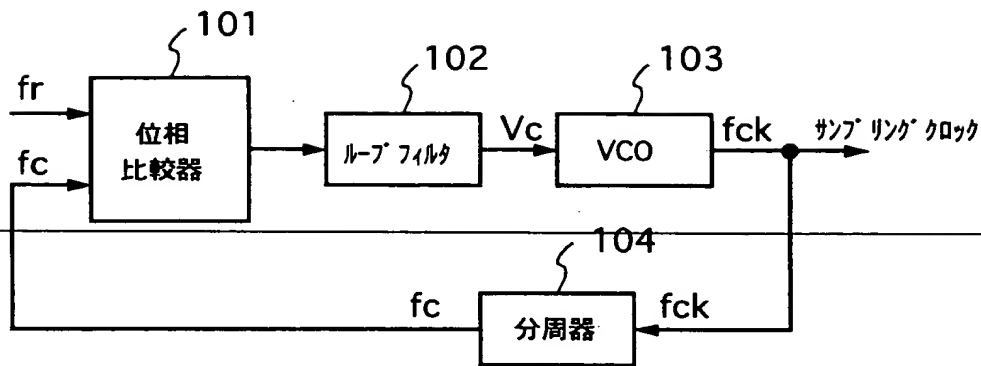
【図 5】



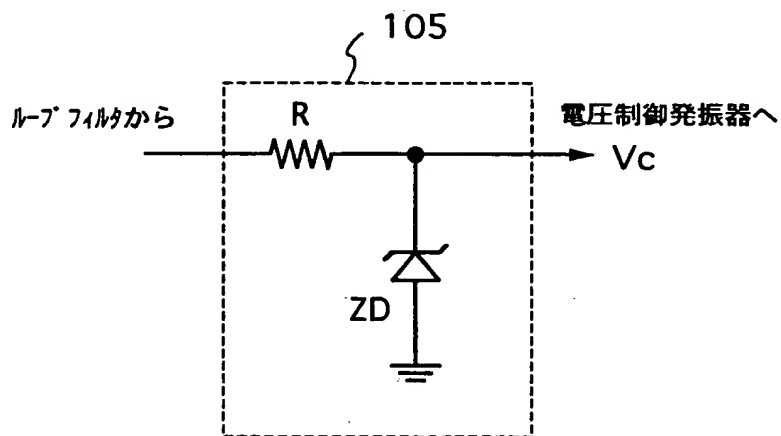
【図 6】



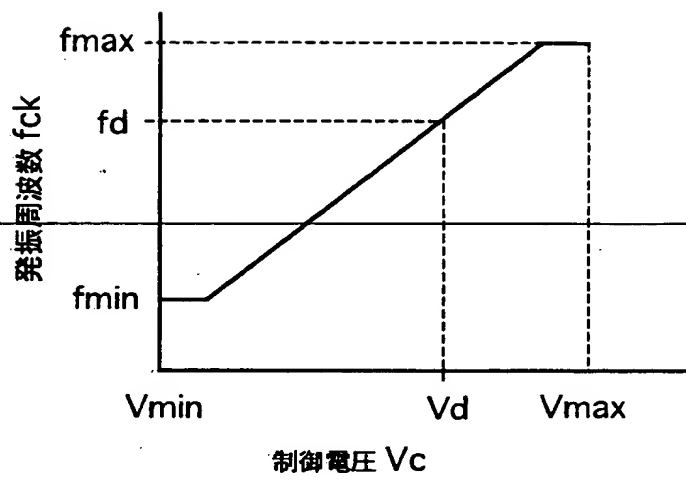
【図 7】



【図 8】



【図 9】



【書類名】 要約書

【要約】

【課題】 電圧制御発振器の発振周波数が異常発振して P L L 回路が動作停止したとき、速やかに復帰させる。

【解決手段】 分周器 4 から出力する比較信号 f_c の有無を検出し、比較信号 f_c 無し のとき位相比較器 4 の出力信号を L レベルに制御して電圧制御発振器 3 の発振周波数を低下させる。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000006611]

1. 変更年月日	1990年 8月27日
[変更理由]	新規登録
住 所	神奈川県川崎市高津区末長1116番地
氏 名	株式会社富士通ゼネラル

THIS PAGE BLANK (USPTO)